



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077372

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 21/304

H01L 21/205

H01L 21/316

(21)Application number : 10-262477

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing :

31.08.1998

(72)Inventor : MASUDA SUMIHISA

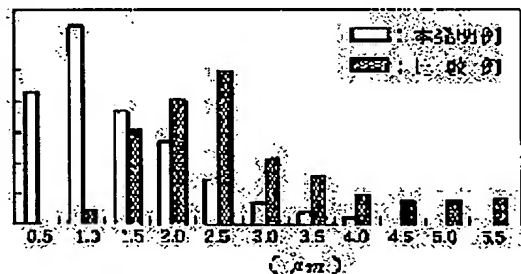
SAKAI MASATO

(54) MANUFACTURE OF SEMICONDUCTOR WAFER FOR VAPOR-PHASE GROWTH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor wafer for vapor-phase growth that can achieve an extremely high wafer flatness level, achieve formation of a CVD film or a thermally oxidized film on the rear surface required for a wafer for vapor-phase growth, solve problems caused thereby, particularly achieve a high flatness level and a low warpage level, and improve yield in the device process required for a larger-size wafer and a highly integrated device processes.

SOLUTION: In this manufacturing method of a semiconductor wafer for vapor-phase growth, a single-crystal ingot is sliced into thin wafer disks and the required surface thereof is mirror-polished so that epitaxial growth is enabled on the main surface. By introducing a two-face polishing process to polish both of the front and rear surface of the wafer, a process to form a CVD film or a thermally oxidized film on the rear surface of the wafer, and a one-face mirror-polishing process to mirror-polish the main surface of the wafer, extremely high wafer flatness required for a large-diameter wafer can be achieved while preventing auto-doping.



LEGAL STATUS

1201

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77372

(P2000-77372A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 W 5 F 0 4 5
21/205		21/205	5 F 0 5 8
21/316		21/316	X
			S

審査請求 未請求 請求項の数 7 F D (全 5 頁)

(21) 出願番号 特願平10-262477

(22) 出願日 平成10年8月31日 (1998.8.31)

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 増田 純久

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(72) 発明者 坂井 正人

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(74) 代理人 100073900

弁理士 押田 良久

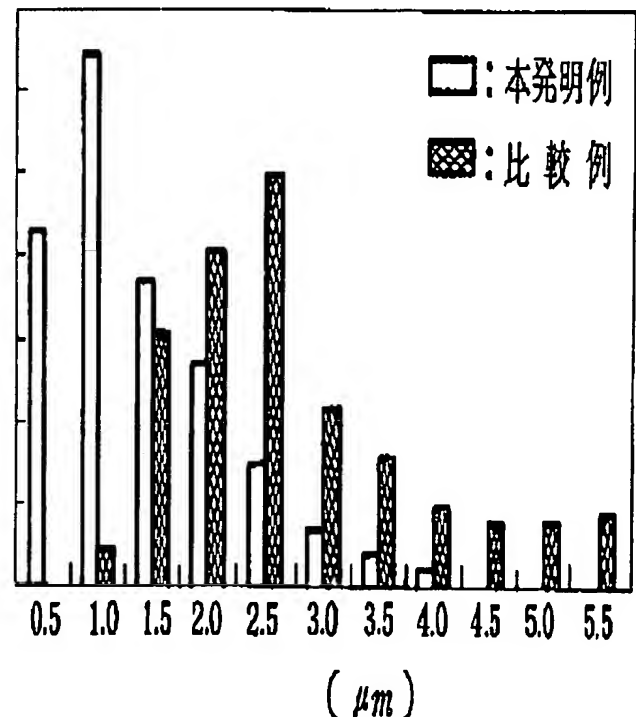
最終頁に続く

(54) 【発明の名称】 気相成長用半導体ウェーハの製造方法

(57) 【要約】

【課題】 ウェーハの大型化とデバイス工程の高集積化に伴い、要求される極めて高いウェーハ平坦度を実現し、また、気相成長用ウェーハとして要求される裏面のCVD膜あるいは熱酸化膜の形成とこれに伴う問題を解消すること、特に、大径ウェーハに要求される高平坦度、低加工歪みを実現するとともに、デバイスプロセスにおける歩留りの向上を可能にした気相成長用半導体ウェーハの製造方法。

【解決手段】 単結晶インゴットより薄円板状のウェーハにスライス切断して所要面を鏡面に仕上げ、主表面にエピタキシャル成膜を可能にした気相成長用半導体ウェーハの製造方法において、ウェーハの表裏両面を研磨する両面研磨工程と、ウェーハの裏面にCVD膜または熱酸化膜を形成する工程と、ウェーハの主表面を研磨する片面鏡面研磨工程を導入すると、オートドーピングの防止策を施しながら、大径ウェーハに要求される極めて高いウェーハ平坦度を実現できる。



【特許請求の範囲】

【請求項1】 ウェーハの表裏両面を研磨する両面研磨工程と、ウェーハの裏面にCVD膜または熱酸化膜を形成する工程と、ウェーハの主表面を鏡面研磨する片面鏡面研磨工程を含む気相成長用半導体ウェーハの製造方法。

【請求項2】 ウェーハの表裏両面を研磨する両面研磨工程と、ウェーハの裏面にCVD膜または熱酸化膜を形成する工程と、面取り部に生成した前記膜を除去する工程と、ウェーハの主表面を研磨する片面鏡面研磨工程を含む気相成長用半導体ウェーハの製造方法。

【請求項3】 請求項1または請求項2において、両面研磨装置にて片面鏡面研磨工程を行う気相成長用半導体ウェーハの製造方法。

【請求項4】 請求項1または請求項2において、両面研磨工程が、両頭研削する研削工程と、高精度かつ低歪みに片面あるいは両面を仕上げ研削する仕上げ研削工程、あるいは高精度かつ低歪みに両面を仕上げ研削する仕上げ研削工程と、アルカリ洗浄工程とからなる気相成長用半導体ウェーハの製造方法。

【請求項5】 請求項2において、面取り部の膜をエッチング液含浸物を接触させて除去する気相成長用半導体ウェーハの製造方法。

【請求項6】 請求項2において、面取り部の膜を研磨剤を滴下しながら研磨布を接触させて除去する気相成長用半導体ウェーハの製造方法。

【請求項7】 請求項2において、面取り部の膜を砥石又は研磨剤を含んだテープフィルムによって除去する気相成長用半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ウェーハの主表面に成膜されたシリコンエピタキシャル膜を有し、LSI（大規模集積回路）等の回路素子の基板として使用されている気相成長用半導体ウェーハの製造方法に係り、エピタキシャル成膜用ウェーハを作成するに際し、両面研磨工程、ウェーハの裏面にCVD膜を形成する工程、主表面を研磨する片面研磨工程を施すことにより、極めて優れた平坦度が得られ、特に大径のウェーハを高精度に仕上げて、その後成膜するシリコンエピタキシャル膜を高精度、高品質化する気相成長用半導体ウェーハの製造方法に関する。

【0002】

【従来の技術】シリコン半導体デバイスの高集積化は急速に進行しており、シリコンウェーハに要求される特性はますます厳しくなっている。従来、このような高集積デバイスには、CZ法で育成されたCZ-Siウェーハが用いられてきた。

【0003】CZ-Siウェーハには過飽和の格子間酸素が $(10 \sim 18) \times 10^{17} \text{ atoms/cm}^3$ の濃度

で含有されており、デバイス活性領域から十分に離れたウェーハ内部に発生した酸素析出物や結晶欠陥は汚染重金属のゲッタリング効果を有することが広く知られている。

【0004】一方、半導体デバイスの微細化に伴い、WEL拡散層の形成に高エネルギーイオン注入が用いられるようになり、また、接合深さをより浅くするために、デバイスプロセスの温度は1000℃以下の低温で行われるようになってきた。

【0005】そのため、酸素の外方拡散が不十分となり、デバイス活性領域での結晶欠陥の発生を抑制することが困難になり始めている。このような状況から、結晶欠陥をほぼ完全に含まない高品質のエピタキシャル層をCZ-Si基板上に成膜したシリコンエピタキシャルウェーハが、今日の高集積デバイスに多く用いられるようになってきた。

【0006】

【発明が解決しようとする課題】かかるエピタキシャルウェーハを作成するための気相成長用半導体ウェーハの製造方法には、単結晶引上装置によって引き上げられた単結晶インゴットをスライスして薄円板状のウェーハを得るスライス工程と、2)ウェーハの欠けや割れを防ぐための面取り工程と、3)面取りされたウェーハを平坦化するためのラッピング工程と、4)前記加工によりウェーハに発生した加工歪み層を除去するエッチング工程と、5)面取り部を仕上げ研磨する面取り部研磨工程と、6)前記ウェーハを片面あるいは両面研磨する研磨工程と、7)前記ウェーハの仕上げ研磨を行う工程が含まれる。

【0007】又、エピタキシャルウェーハは、高濃度のドーパント添加の単結晶ウェーハの主表面に低濃度のドーパント添加のエピタキシャル層を気相成膜して製造されるため、水素雰囲気中で高温に加熱された際、ウェーハの裏面が水素によりエッチングされて高濃度に添加されたドーパントが放出され、これがエピタキシャル成長時に再度取り込まれてしまう、オートドーピング現象が発生することが知られている。

【0008】そこで従来は、オートドーピング現象を防止するために、気相成長用ウェーハの裏面にCVD装置によるCVD膜、あるいは熱酸化膜を形成し、気相成長装置において、水素によりエッチングされないようにしていた。

【0009】また、前述したウェーハの裏面にCVD膜や熱酸化膜を形成する時に、面取り部に形成された前記膜により、エピタキシャル成長を行う過程で反応ガスが、ウェーハ周面と接触してSi塊粒が生成され、半導体デバイス製造工程において塊粒状シリコンがウェーハ表面から脱落し、ウェーハ表面に付着して汚染の原因となるという問題がある。

【0010】そこで、ウェーハの裏面にCVD膜あるい

は熱酸化膜を形成後、面取り部にかかった前記膜を予め除去する方法が提案（特開平9-199465、特開平10-070080）されている。

【0011】上述のように、従来種々の研磨工程を経て、エッチング仕上げをした面の裏面にCVD膜や熱酸化膜を形成し、さらには面取り部にかかった前記膜を予め除去し、主表面側を片面研磨する方法など、多大の工程を経て製造されていた気相成長用ウェーハであるが、今日のデバイス工程の高集積化に伴い、ウェーハに要求される平坦度もより厳しいものとなり、さらには口径が12インチ以上とウェーハの大型化が予定される中、従来の製造方法では要求される平坦度を得ることが困難になってきた。

【0012】この発明は、ウェーハの大型化とデバイス工程の高集積化に伴い、要求される極めて高いウェーハ平坦度を実現し、また、気相成長用ウェーハとして要求される裏面のCVD膜あるいは熱酸化膜の形成とこれに伴う問題を解消すること、特に、大径ウェーハに要求される高平坦度、低加工歪みを実現するとともに、デバイスプロセスにおける歩留りの向上を可能にした気相成長用半導体ウェーハの製造方法の提供を目的としている。

【0013】

【課題を解決するための手段】発明者らは、半導体ウェーハの高平坦度、低加工歪みの実現と、デバイスプロセスにおける歩留りの向上を目的に、研削、研磨工程について種々検討した結果、単結晶インゴットより薄円板状のウェーハにスライス切断して所要面を鏡面に仕上げ、主表面にエピタキシャル成膜を可能にした気相成長用半導体ウェーハの製造方法において、ウェーハの表裏両面を研磨する両面研磨工程と、ウェーハの裏面にCVD膜または熱酸化膜を形成する工程と、ウェーハの主表面を研磨する片面鏡面研磨工程を導入すると、オートドーピングの防止策を施しながら、大径ウェーハに要求される極めて高いウェーハ平坦度を実現できることを知見し、この発明を完成した。

【0014】また発明者らは、上記製造方法において、両面研磨工程を、両頭研削する研削工程と、高精度かつ低歪みに片面あるいは両面を仕上げ研削する仕上げ研削工程と、アルカリ洗浄工程とからなる一連の工程と入れ替えることが可能で、両面研磨工程と同等の作用効果を奏することを知見した。

【0015】さらに発明者らは、上記製造方法において、ウェーハの裏面に設けたCVD膜または熱酸化膜が成膜時に回り込み面取り部にまで生成した部分を、例えば、面取り部の膜をエッチング液含浸物を接触させて除去、SiO₂やアルミナなどの研磨剤を滴下しながら研磨布を接触させて除去、砥石又は研磨剤を含んだテープフィルムによって研磨除去する工程を加えることにより、デバイスプロセスにおける歩留りの向上が可能であることを知見した。

【0016】

【発明の実施の形態】この発明は、単結晶インゴットより薄円板状のウェーハにスライス切断して所要面を鏡面に仕上げる気相成長用半導体ウェーハの製造方法において、例えば、スライス工程あるいはさらに平面研削工程を経たウェーハに、ウェーハの表裏両面を研磨する両面研磨工程と、ウェーハの裏面にCVD膜または熱酸化膜を形成する工程と、ウェーハの主表面を研磨する片面研磨工程を施すことを特徴としている。

【0017】この発明において、ウェーハの表裏両面を研磨する両面研磨工程は、両面研磨装置を用いて表裏両面を同じ条件で単数あるいは複数回の研磨をするほか、両面研磨装置を用いて、ウェーハの両面を1次研磨し、さらにその片面を仕上げ研磨する工程を採用することができる。

【0018】また、この両面研磨工程に代えて、両頭研削する研削工程と高精度かつ低歪みに片面あるいは両面を仕上げ研削する仕上げ研削工程からなる工程、あるいは高精度かつ低歪みに両面を仕上げ研削する仕上げ研削工程と、アルカリ洗浄工程とからなる工程を採用することができる。

【0019】両頭研削は、遊離砥粒を使わずに固定砥粒にて両面同時に研削を行うことにより、面内10μm以下の加工歪み層深さにすることができ、仕上げ研削工程においては、微細固定砥粒を使用することにより面内2～3μm程度の加工歪み層深さにすることができ、なおかつTTV（Total Thickness Variation）を1μm以下にすることができ、加工歪み層除去に有効なエッチング工程を省略でき、エッチングを行うことによるウェーハ精度悪化も防止可能となる。

【0020】この発明において、ウェーハの裏面にCVD膜を形成する工程は、CVD装置で裏面にSiO₂膜を形成するとよく、また、ウェーハの裏面に熱酸化膜を形成する工程は、熱処理炉で酸素を含む雰囲気中で酸化によるSiO₂膜を形成するとよい。

【0021】両面研磨ウェーハのウェーハの裏面にCVD膜や熱酸化膜を形成する時に、面取り部に形成された前記膜を除去することにより、エピタキシャル成長を行う過程で反応ガスが、ウェーハ周面と接触してSi塊粒が生成され、半導体デバイス製造工程において塊粒状シリコンがウェーハ表面から脱落し、ウェーハ表面に付着して汚染の原因となることを防止できる。

【0022】この発明において、面取り部研磨工程は、面取り部の膜をエッチング液含浸物を接触させて除去、SiO₂やアルミナなどの研磨剤を滴下しながら研磨布を接触させて除去、砥石又は研磨剤を含んだテープフィルムによって研磨除去する。例えばテープフィルムの番手を1000#～3000#のものを使用した後、SiO₂やAl₂O₃などの研磨剤を添加しながら研磨する。

【0023】この発明において、複数のウェーハを同時に研削又は研磨する際に、事前にウェーハの厚みを所要範囲に揃えておくことにより、面取り部幅が一定して加工精度が向上し、デバイスプロセスにおけるパーティクルの発生を低減でき、歩留りを向上させることができる。

【0024】この発明において、両頭研削および／または両面研磨をウェーハ外周部が他ウェーハ及び装置類に接触することがない枚葉式で行うことにより、面取り部にダメージなどを与えることがなく、デバイスプロセスにおけるパーティクルの発生を低減でき、歩留りを向上させることができる。

【0025】この発明において、ウェーハの主表面を研磨する片面鏡面研磨工程は、片面鏡面研磨装置あるいは両面鏡面研磨装置を用いて、単数あるいは複数回の研磨をするほか、基本的には1次研磨、仕上げ研磨共に同一の装置で実施でき、仕上げ研磨の条件としては、クロスは、例えば、ウレタン発泡体またはスエードタイプと呼ばれるショア硬度が30度～40度のものが望ましく、仕上げ研磨材においても1wt%以下のSiC2濃度に界面添加剤を添加したものを使用することが望ましい。

【0026】

【実施例】実施例1

スライス工程、平面研削工程を施した12インチ径のCZ-Siウェーハに、両面鏡面研磨装置を用いてウェーハの表裏両面を10～30μm程度研磨し、その後ウェーハの裏面にCVD膜を形成し、面取り部のCVD膜を除去し、両面鏡面研磨装置を用いてウェーハの主表面を2μm程度片面鏡面研磨して仕上げた。得られた100枚のウェーハの平坦度を静電容量型センサー、レーザー変位計にて測定し、その平坦度のばらつきを図1に示す。

【0027】比較例1

スライス工程、面取り工程を施した12インチ径のCZ-Siウェーハに、ラッピング工程後に、エッチング仕上げをした面の裏面にCVD膜を形成し、さらに面取り部のCVD膜を除去し、両面鏡面研磨装置を用いてウェーハの主表面を10～20μm片面鏡面研磨して仕上げた。得られた100枚のウェーハの平坦度を静電容量型センサー、レーザー変位計にて測定し、その平坦度のばらつきを図1に示す。

【0028】図1に示すごとく、従来の工程による比較例に対して、この発明の工程によるウェーハの平坦度は一段と高精度になっていることが明らかである。また、実施例1では、面取り部のCVD膜を除去する方法に、砥粒が保持されたテープフィルムを内蔵するヘッドをウ

ェーハの周面に押し当てて行ったが、ここではウェーハの面取り部を低歪みに鏡面化する面取り部鏡面工程を施すこともでき、さらに、実施例1の両面鏡面研磨工程に変えて、両頭研削する研削工程と、高精度かつ低歪みに両面を仕上げ研削する仕上げ研削工程を施すことができ、同様の効果が得られることを確認した。

【0029】実施例2

両面研磨ウェーハのウェーハの裏面にCVD膜や熱酸化膜を形成する時に、Si塊粒が形成されやすいウェーハの周面にも前記膜が成形される。このウェーハ周面または、周面からウェーハの裏面側へ0～5mm程度の範囲に形成されている前記膜を除去でき、さらにはウェーハを回転駆動軸のチャックに固定し、駆動軸周りに回転させつつウェーハの周面を含む除去すべき膜に、エッチング液をしみ込ませた不織布を内蔵するヘッドを押し当ててウェーハの周面及び前記一部範囲の面内の膜を除去することができ、実施例1と同様の効果が得られることを確認した。

【0030】実施例3

ウェーハを回転駆動軸のチャックに固定し、駆動軸周りに回転させつつウェーハの周面を含む除去すべき膜に、砥粒が保持されたテープフィルムを内蔵するヘッドを押し当ててウェーハの周面及び前記一部範囲の面内の膜を除去し、実施例1と同様の効果が得られることを確認した。

【0031】

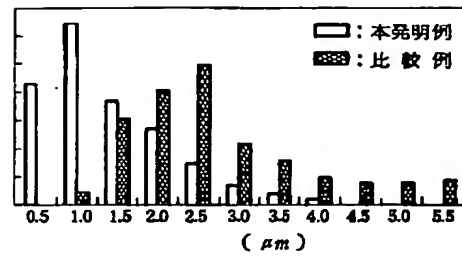
【発明の効果】この発明は、エピタキシャル成膜用ウェーハを作成するに際し、両面研磨工程、ウェーハの裏面にCVD膜を形成する工程、主表面を研磨する片面研磨工程を施すことにより、極めて優れた平坦度が得られ、特に大径のウェーハを高精度に仕上げ、その後成膜するシリコンエピタキシャル膜を高精度、高品質化でき、また、ウェーハ周面のCVD膜や熱酸化膜を確実に除去することができる。

【0032】従って、エピタキシャル成長を行う過程で反応ガスがウェーハ周面と接触してもSi界粒が生成されることがなく、半導体デバイス製造工程において塊粒状シリコンがウェーハ表面から脱落し、ウェーハ表面に付着して汚染の原因となることがないという優れた効果が得られる。さらにこの発明では、ウェーハ周面部が鏡面状に仕上げられ、ウェーハ周面部からの発塵の防止、及びチッピングが低減されるという効果もある。

【図面の簡単な説明】

【図1】実施例のウェーハの平坦度のばらつきを示すグラフである。

【図 1】



フロントページの続き

Fターム(参考) 5F045 AB32 AF03 AF16 BB01 BB06
BB13 BB15 GH09
5F058 BA05 BA06 BC02 BF02 BH20
BJ01